

PAT-NO: JP410154726A
DOCUMENT-IDENTIFIER: JP 10154726 A
TITLE: SEMICONDUCTOR DEVICE AND ITS MANUFACTURE
PUBN-DATE: June 9, 1998

INVENTOR-INFORMATION:

NAME

OIDA, MITSURU

AOKI, HIDEO

NAKAZAWA, TAKAHITO

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP08313452

APPL-DATE: November 25, 1996

INT-CL (IPC): H01L021/60, H01L021/321 , H01L023/12

ABSTRACT:

PROBLEM TO BE SOLVED: To raise reliability and to improve manufacturing yield.

SOLUTION: In a device 11, when a semiconductor chip 12 is flip-chip-mounted, with the face down, on the top surface of a mounting board 13, a real electrode pad 14 of the semiconductor chip 12 is provided with a bump 18 formed of solder in advance, and dummy electrode terminals 17 on four corner parts of the mounting board 13 are provided with a bump 19 formed of gold. Here, the bump 18 of solder is aligned with a rear electrode terminal 16 of the mounting board 13 and then heated, and the bump 19 of gold aligned with a dummy

electrode pad 15 on corner parts of the semiconductor chip 12, and they are pressed under a specified load, thereby the bump of gold acts as a spacer to secure a specified interval between the semiconductor ship 12 and the mounting board 13, and the bump 18 of solder is melted and cooled for sure connection.

COPYRIGHT: (C) 1998, JPO

DERWENT-ACC-NO: 1998-383201

DERWENT-WEEK: 199833

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Semiconductor chip mounting structure - has
metallic
bump formed between dummy electrode pad and
dummy
electrode terminal, along four corners of
substrate

PATENT-ASSIGNEE: TOSHIBA KK[TOKE]

PRIORITY-DATA: 1996JP-0313452 (November 25, 1996)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES MAIN-IPC		
JP 10154726 A	June 9, 1998	N/A
007 H01L 021/60		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 10154726A	N/A	1996JP-0313452
November 25, 1996		

INT-CL (IPC): H01L021/321, H01L021/60 , H01L023/12

ABSTRACTED-PUB-NO: JP 10154726A

BASIC-ABSTRACT:

The structure includes a semiconductor chip (12) mounted on a substrate (13), by flip chip mounting process. A solder bump is formed between actual electrode pad (14) and an actual electrode terminal (16) formed on the semiconductor chip and the substrate, respectively. A metallic bump (19), is formed between a dummy electrode pad (15) and a dummy electrode terminal (17), along the four corners of the substrate.

ADVANTAGE - Improves reliability. Increases manufacturing yield.

CHOSEN-DRAWING: Dwg.1/10

TITLE-TERMS: SEMICONDUCTOR CHIP MOUNT STRUCTURE METALLIC BUMP FORMING
DUMMY

ELECTRODE PAD DUMMY ELECTRODE TERMINAL FOUR CORNER
SUBSTRATE

DERWENT-CLASS: U11

EPI-CODES: U11-D03B1; U11-E01C;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1998-300009

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-154726

(43) 公開日 平成10年(1998) 6月9日

(51) Int.Cl.⁸H 0 1 L 21/60
21/321
23/12

識別記号

3 1 1

F I

H 0 1 L 21/60 3 1 1 S
21/92 6 0 2 P
6 0 4 J
23/12 Q

審査請求 未請求 請求項の数6 O L (全 7 頁)

(21) 出願番号 特願平8-313452

(22) 出願日 平成8年(1996)11月25日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 大井田 充

神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内

(72) 発明者 青木 秀夫

神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内

(72) 発明者 中沢 孝仁

神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内

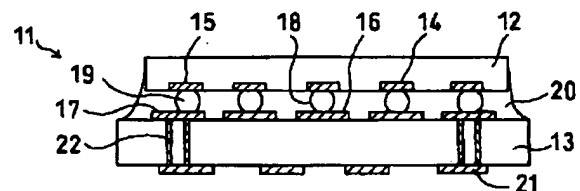
(74) 代理人 弁理士 大胡 典夫

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 信頼性が高く製造歩留の高い半導体装置及びその製造方法を提供する。

【解決手段】 半導体チップ12を実装基板13の上面上にフェースダウン形にフリップチップ実装したもので、予め半導体チップ12の実電極パッド14にはんだで形成したバンプ18を設け、実装基板13の四隅部分のダミー電極端子17には金で形成したバンプ19を設けておき、実装の際にはんだのバンプ18を実装基板13の実電極端子16に、また金のバンプ19を半導体チップ12の四隅部分のダミー電極パッド15にそれぞれ位置合わせしてから加熱し、所定荷重で加圧することによって半導体チップ12と実装基板13の間に所定間隔が確保され、はんだのバンプ18が溶融し冷却して確実な接続が行われる。



12: 半導体チップ
13: 実装基板
14: 実電極パッド
15: ダミー電極パッド
16: 実電極端子
17: ダミー電極端子
18, 19: バンプ

【特許請求の範囲】

【請求項1】 半導体素子を間にバンパを介在させて基板の一面にフェースダウン形にフリップチップ実装してなる半導体装置において、前記半導体素子の実電極パッドと前記基板の実電極端子とをはんだで形成した前記バンパで接続すると共に、前記半導体素子に複数のダミー電極パッドを設け、かつ前記基板に前記ダミー電極パッドに対応してダミー電極端子を設け、前記ダミー電極パッドとダミー電極端子とを金で形成した前記バンパで接続したことを特徴とする半導体装置。

【請求項2】 半導体素子が、方形に形成され四隅部分に少なくとも1つづつダミー電極パッドが設けられていることを特徴とする請求項1記載の半導体装置。

【請求項3】 はんだで形成したバンパ及び金で形成したバンパが、それぞれはんだワイヤ及び金ワイヤを用いワイヤボンディングすることによって形成されたものであることを特徴とする請求項1記載の半導体装置。

【請求項4】 はんだで形成したバンパが、実電極パッドにはんだをめっきすることによって形成されたものであることを特徴とする請求項1記載の半導体装置。

【請求項5】 半導体素子を間にバンパを介在させて基板の一面にフェースダウン形にフリップチップ実装するようにした半導体装置の製造方法において、前記半導体素子の実電極パッドにはんだで形成した前記バンパを設け、かつ前記基板のダミー電極端子に金で形成した前記バンパを設けた後、はんだで形成した前記バンパを対応する前記基板の実電極端子に、また金で形成した前記バンパを対応する前記半導体素子のダミー電極パッドに固着するようにしたことを特徴とする半導体装置の製造方法。

【請求項6】 半導体素子を間にバンパを介在させて基板の一面にフェースダウン形にフリップチップ実装するようにした半導体装置の製造方法において、前記半導体素子の実電極パッドにはんだで形成した前記バンパを設け、また前記半導体素子の複数のダミー電極パッドに金で形成した前記バンパを設けた後、前記基板の実電極端子にはんだで形成した前記バンパを、また前記基板のダミー電極端子に金で形成した前記バンパを固着するようにしたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子を基板にフリップチップ実装してなる半導体装置及びその製造方法に関する。

【0002】

【従来の技術】周知の通り、パッケージ形状を薄形化、小形化した半導体装置では半導体素子の基板へ実装に、フリップチップ実装が用いられている。フリップチップ実装は、半導体素子の電極パッドに、例えば金バンパを形成し、さらに実装する基板のパターンに金めっきされ

た電極端子を形成し、フリップチップボンダ等を用いてバンパを対応する電極端子に固相拡散により接合することによって行われたり、また、半導体素子に例えばはんだバンパを形成し、このはんだバンパを基板の対応するはんだめっき、あるいは印刷によりはんだが被着された電極端子に、同じくフリップチップボンダ等を用いてはんだ付けすることによって行われる。

【0003】以下、従来の技術について図10を参照して説明する。図10は断面図で、図10において、1は半導体装置であり、2は半導体素子であり、3は半導体素子2の下面に設けられた電極パッドであり、4は電極パッド3面に固着された金(Au)で形成された略球形状のバンパである。また、5は基板であり、6は基板5の上面に形成された回路等のパターンの電極端子で、この電極端子6の表面には金めっきが施されている。さらに、7は基板5の下面に形成された外部接続用端子であり、8は基板5を上面から下面に貫通するスルーホールで、このスルーホール8によって対応する電極端子6と外部接続用端子7が導通するよう接続されている。そして、図示しないフリップチップボンダに半導体素子2及び基板5を装着し、電極端子6にバンパ4を250～400℃に加熱し、加圧することにより固相拡散させて接合することで半導体素子2を基板5に、いわゆるフェースダウン形にボンディングし、さらに半導体素子2と基板5の間に封止樹脂9を充填し、加熱硬化することで封止して半導体装置1が形成されている。

【0004】また、図示しないが、半導体素子の下面に設けられた電極パッドに固着した略球形状のバンパがはんだによって形成されている場合には、フリップチップボンダを用いてバンパを基板の上面に形成された所定パターンのはんだが被着された電極端子にはんだ付けすることによって、半導体素子はフェースダウン形に基板にボンディングされる。このボンディングの際、室温からはんだの融点、例えばPb/Sn=63/37の共晶はんだを用いた場合は融点が183℃なので220℃程度となるまで加熱し、フリップチップボンダのボンディングツールを変位させることにより形状制御を行いながら冷却することによってはんだ付けが行われる。そして半導体素子と基板の間に封止樹脂を充填し硬化させて封止し半導体装置が形成される。

【0005】しかしながら上記の従来技術では、金の固相拡散によりフリップチップ接続を行う半導体装置1の場合、反りのある基板5に半導体素子2をフェースダウンで加圧し、基板5の電極端子6と半導体素子2のバンパ4を接続する際、半導体素子2のバンパ4の変形による変位量のみで基板5の反りを吸収しなければならず、基板5の反りが大きいとバンパ4の変位量が少なく金の未拡散接続部分が生じて接続率の低下を引き起こし、製造歩留が低いものとなっていた。また、半導体素子2を加圧する際、基板5の反りにより、同一の半導体素子2

内でバンパ4に加わる荷重が異なることになり、一部のバンパ4にのみ過大な荷重が加わり半導体素子2にマイクロクラックや不純物拡散等の回復し難いダメージを生じる虞があり、高信頼性を得難いものとなっていた。

【0006】また、はんだバンパによるフリップチップ実装では、はんだが溶融することによって基板の反りが吸収できるため、金の固相拡散によるフリップチップ実装の場合に比較して、接続率の低下や半導体素子へのダメージは回避できるものの、バンパを基板の電極端子にはんだ付けする際にはバンパを電極端子に圧接させ、はんだの加熱溶融、形状制御及び冷却などのプロセスが必要のため、サイクルタイムを短縮するのに限界があり、半導体装置のコスト低減が困難なものとなっていた。

【0007】

【発明が解決しようとする課題】上記のような状況に鑑みて本発明はなされたもので、その目的とするところはバンパによる確実な接続を行うことができて接続率が向上し製造歩留が高く、また信頼性も高く、さらに工程が簡潔となってサイクルタイムが短縮できコストが低減した半導体装置及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明の半導体装置及びその製造方法は、半導体素子を間にバンパを介在させて基板の一主面にフェースダウン形にフリップチップ実装してなる半導体装置において、半導体素子の実電極パッドと基板の実電極端子とをはんだで形成したバンパで接続すると共に、半導体素子に複数のダミー電極パッドを設け、かつ基板にダミー電極パッドに対応してダミー電極端子を設け、ダミー電極パッドとダミー電極端子とを金で形成したバンパで接続したことを特徴とするものであり、さらに、半導体素子が、方形状に形成され四隅部分に少なくとも1つづつダミー電極パッドが設けられていることを特徴とするものであり、さらに、はんだで形成したバンパ及び金で形成したバンパが、それぞれはんだワイヤ及び金ワイヤを用いワイヤボンディングすることによって形成されたものであることを特徴とするものであり、さらに、はんだで形成したバンパが、実電極パッドにはんだをめっきすることによって形成されたものであることを特徴とするものである。

【0009】また、半導体素子を間にバンパを介在させて基板の一主面にフェースダウン形にフリップ

チップ実装するようにした半導体装置の製造方法において、半導体素子の実電極パッドにはんだで形成したバンパを設け、また半導体素子の複数のダミー電極パッドに金で形成したバンパを設けた後、基板の実電極端子にはんだで形成したバンパを、また基板のダミー電極端子に金で形成したバンパを固着するようにしたことを特徴とする方法である。

【0010】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。

【0011】まず、第1の実施形態を図1乃至図5により説明する。図1は断面図であり、図2は半導体チップの断面図であり、図3は実装基板の断面図であり、図4は半導体チップと実装基板を対向させた状態における斜視図であり、図5は半導体チップと実装基板を対向させた状態における下方側からの斜視図である。

【0012】図1乃至図5において、半導体装置11は半導体素子の方形のシリコン製半導体チップ12を、例えばアルミナ基板あるいは窒化アルミニウム基板、あるいはガラス布基材エポキシ樹脂基板でなる所定の配線回路を備えた方形の実装基板13に、フェースダウン形にフリップチップ実装することにより構成されている。半導体チップ12は下面に実電極パッド14とダミー電極パッド15とが設けられていて、実電極パッド14は半導体チップ12内部の所定導電部位に導通するよう設けられており、ダミー電極パッド15は半導体チップ12内の導電部位に導通せず方形下面の四隅部分にそれぞれ1つづつ計4個配置されている。一方、実装基板13の半導体チップ12の下面に対向する上面には、回路等のパターンの実電極端子16とダミー電極端子17とが設けられている。これらの実電極端子16とダミー電極端子17は、半導体チップ12の実電極パッド14とダミー電極パッド15に対応する各上面の所定位置に設けられている。

【0013】そして、半導体チップ12は実装基板13に、半導体チップ12の実電極パッド14に固着されたはんだで形成された略球形状のバンパ18を実装基板13の実電極端子16にはんだ付けすることにより、また実装基板13のダミー電極端子17に固着された金で形成された略球形状のバンパ19をダミー電極パッド15に当接させ、固相拡散により接合する等して実装されている。さらに半導体チップ12と実装基板13の間隙には熱硬化性の封止樹脂20を充填し硬化させることによって封止が行われている。なお、21は実装基板13の下面に形成された外部接続用端子であり、22は実装基板13を上面から下面に貫通するスルーホールで、このスルーホール22によって対応する各電極端子16、17と外部接続用端子21が導通するよう接続されている。

【0014】また、このような半導体装置11における

半導体チップ12の実装基板13への実装は、次のようにして行われる。すなわち、半導体チップ12の実電極パッド14にはんだで形成された略球形状のバンパ18を固着する。このはんだでなるバンパ18の形成は、例えば直径が50 μ m、融点が221~236℃のSn/Ag=99/1のワイヤを用いると共に、ワイヤボンディング技術を用いて直径が約95 μ mで高さが約125 μ mとなるように行われている。また実装基板13の表面に設けられた金フラッシュめっきされたダミー電極端子17に、金で形成された同じく略球形状のバンパ19を固着する。この金のバンパ19の形成は、例えば直径が25 μ mの金ワイヤを用いると共に、ワイヤボンディング技術を用いて直径が約85 μ mで高さが約40~60 μ mとなるように行われている。

【0015】次に、図示しないフリップチップボンダのボンディングステージに実装基板13を、実電極端子16及び金のバンパ19が固着されたダミー電極端子17の形成された面を上側に向けて載せ、またフリップチップボンダのボンディングツールに半導体チップ12を、実電極パッド14及びはんだで形成されたバンパ18が実装基板13の上面に対向するよう真空吸着させる。その後、半導体チップ12のはんだでなるバンパ18とダミー電極パッド15が、それぞれ実装基板13の対応する実電極端子16及び金のバンパ19の直上に位置するようボンディングツールを水平面内で移動させて位置合わせし、位置合わせ後、対応するもの同士が圧接するようボンディングツールを下方に変位させて半導体チップ12を実装基板13の上面に実装する。

【0016】この実装の際に、ボンディングツールとボンディングステージとを250~300℃に加熱し、所定の荷重で加圧する。この時の加圧荷重は、はんだで形成されたバンパ18について1個当たり10~30gfの荷重を、また金で形成されたバンパ19について1個当たり50~100gfの荷重を加える。すなわち、例えばはんだでなるバンパ18が100個で、金のバンパ19が4個の場合には、(10~30gf)×100+(50~100gf)×4=1200~3400gfの荷重で加圧する。そして、ダミー電極パッド15に圧接させることで変形した金のバンパ19によって半導体チップ12の下面と実装基板13の上面の間隔を所定寸法とした状態とし、この状態ではんだのバンパ18を溶融させ、その後冷却する。これによって実電極パッド14に固着されていたはんだのバンパ18は実電極端子16に確実に固着し、半導体チップ12の実装基板13へのフリップチップ接続が完了する。

【0017】その後、半導体チップ12の下面に対向する実装基板13の上面に封止樹脂20、例えばシリカフィラーが混在した熱硬化性エポキシ樹脂をディスペンサ法により供給する。そして、実装基板13を60~80℃程度に加熱して封止樹脂20の粘度を低下させ、毛細

管現象により封止樹脂20を半導体チップ12と実装基板13の間に充填する。続いて半導体チップ12と実装基板13の間に封止樹脂20が充填されたものを、例えば100℃で4時間保持し、さらに150℃で2時間保持するステップキュアを行うことで熱硬化性エポキシ樹脂を内部にボイドが生じないようにして硬化させて樹脂封止を行い、半導体装置11を完成する。

【0018】上述のように構成することで、ダミー電極端子17に固着された金のバンパ19がダミー電極パッド15に接合し固着することによって、金のバンパ19が半導体チップ12と実装基板13の間に介在する所定間隔を形成するスペーサの役割を果たすことになり、はんだのバンパ18が溶融しても半導体チップ12の下面と実装基板13の上面の間に所定間隔を有する間隔が確保される。そして、間隔が確保されていることからはんだのバンパ18を溶融させ冷却させることで半導体チップ12の実電極パッド14と実装基板13の実電極端子16とが確実に接続され、接続率が向上する。また、実装基板13に反りがあっても一部のバンパに過大な荷重が偏って加わることがなくなり、マイクロクラックや不純物拡散等の回復し難いダメージを生じる虞がなくなり、信頼性が向上する。

【0019】さらに、金のバンパ19によって半導体チップ12と実装基板13の間隔が確保されるため、フリップチップボンダにバンパの形状制御を行う機構を設ける必要がなく、そしてボンディングツールを形状制御のために変位させなくても、はんだのバンパ18を溶融させることによって所定間隔に保持された実電極パッド14と実電極端子16の間を簡単に接続することができ、またフリップチップボンダを変位させて行うバンパの形状制御のための形状制御工程がなくてすみ、製造プロセスのサイクルタイムを短縮することができ、半導体装置のコストを低減することができる。

【0020】次に、第2の実施形態を図6乃至図9により説明する。図6は断面図であり、図7は半導体チップの断面図であり、図8は実装基板の断面図であり、図9は半導体チップと実装基板を対向させた状態における下方側からの斜視図である。

【0021】図6乃至図9において、半導体装置31は半導体素子の方形のシリコン製半導体チップ32を、例えばアルミナ基板あるいは窒化アルミニウム基板、あるいはガラス布基材エポキシ樹脂基板でなる所定の配線回路を備えた方形の実装基板33に、フェースダウン形にフリップチップ実装することにより構成されている。半導体チップ32は下面に実電極パッド14とダミー電極パッド15とが設けられていて、実電極パッド14は半導体チップ32内部の所定導電部位に導通するよう設けられており、ダミー電極パッド15は半導体チップ32内の導電部位に導通せず方形下面の四隅部分にそれぞれ1つずつ計4個配置されている。

【0022】そして、実電極パッド14にははんだで形成された略球形状のバンパ18が固着されており、ダミー電極パッド15には金で形成された略球形状のバンパ19が固着されている。また実装基板33の上面には、回路等のパターンの実電極端子16とダミー電極端子17とが設けられており、これらの実電極端子16とダミー電極端子17とは、半導体チップ32の実電極パッド14とダミー電極パッド15に対応する各上面の所定位置に設けられている。

【0023】また、半導体チップ32は実装基板33に、半導体チップ32の実電極パッド14に固着されたはんだで形成されたバンパ18とダミー電極パッド15に固着された金で形成されたバンパ19を実装基板33の対応する実電極端子16及びダミー電極端子17に固着することにより実装されている。そして、半導体チップ32と実装基板33の間隙には熱硬化性の封止樹脂20を充填し硬化させることによって封止が行われている。なお、実装基板33には下面に外部接続用端子21が形成されていると共に上面から下面に貫通するスルーホール22が形成されていて、このスルーホール22によって各電極端子16、17がそれぞれ対応する外部接続用端子21に導通するよう接続されている。

【0024】そして、このような半導体装置31における半導体チップ32の実装基板33への実装は、次のようにして行われる。すなわち、まず半導体チップ32の実電極パッド14にはんだで形成された略球形状のバンパ18を固着し、ダミー電極パッド15に金で形成された略球形状のバンパ19を固着する。はんだでなるバンパ18と金でなるバンパ19の形成は、それぞれ上記の第1の実施形態における場合と同様に行われる。

【0025】次に、図示しないフリップチップボンダのボンディングステージに実装基板33を、実電極端子16及びダミー電極端子17が形成された面を上側に向けて載せ、またフリップチップボンダのボンディングツールに半導体チップ32を、はんだで形成されたバンパ18及び金で形成されたバンパ19が、実装基板33の上面に対向するように真空吸着させる。その後、半導体チップ32のはんだのバンパ18と金のバンパ19が、それぞれ実装基板33の対応する実電極端子16及びダミー電極端子17の直上に位置するようにボンディングツールを水平面内で移動させて位置合わせし、位置合わせ後、対応するもの同士が圧接するようボンディングツールを下方に変位させて半導体チップ32を実装基板33の上面に実装する。

【0026】この実装の際には、第1の実施形態におけると同様にボンディングツールとボンディングステージとを250～300℃に加熱し、所定の荷重で加圧するようにする。これにより、ダミー電極パッド15とダミー電極端子17の間に介在する金のバンパ19によって半導体チップ32の下面と実装基板33の上面の間隔が

所定寸法となり、この状態ではんだのバンパ18を溶融させ、その後冷却する。これによって実電極パッド14に固着されていたはんだのバンパ18は実電極端子16に確実に固着し、半導体チップ32の実装基板33へのフリップチップ接続が完了する。

【0027】その後、半導体チップ32の下面に対向する実装基板33の上面にシリカフィラーが混在した熱硬化性エポキシ樹脂等の封止樹脂20をディスペンス法により供給し、実装基板33を60～80℃程度に加熱して封止樹脂20の粘度を低下させ、毛細管現象により封止樹脂20を半導体チップ32と実装基板33の間隙に充填する。続いて半導体チップ32と実装基板33の間隙に封止樹脂20が充填されたものを、例えば100℃で4時間保持し、さらに150℃で2時間保持するステップキュアを行うことで熱硬化性エポキシ樹脂を内部にボイドが生じないようにして硬化させて樹脂封止を行い、半導体装置31を完成する。

【0028】上述のように構成することで、本実施形態においても金のバンパ19が半導体チップ32と実装基板33の間に介在して所定間隙を形成するスペーサの役割を果たすことになり、またフリップチップボンダによるはんだでなるバンパ18の形状制御のための形状制御工程が不要となる等して、第1の実施形態と同様の作用、効果が得られる。

【0029】尚、上記の実施形態ではんだでなるバンパ18の形成に、ワイヤボンディング技術を用いたが、電解メッキ法により形成するなどしてもよい。

【0030】

【発明の効果】以上の説明から明らかなように、本発明によれば、金のバンパがスペーサとなって半導体素子と基板の間隔が確保され、はんだのバンパによる確実な接続を行うことができ接続率が向上して製造歩留が高くなり、また回復し難いダメージを生じる虞がなくなつて信頼性が向上すると共に、はんだのバンパの形状をフリップチップボンダにより制御して形成する必要がなく、工程が簡潔となってサイクルタイムの短縮化が図れコストを低減することができる等の効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示す断面図である。

【図2】本発明の第1の実施形態に係る半導体チップの断面図である。

【図3】本発明の第1の実施形態に係る実装基板の断面図である。

【図4】本発明の第1の実施形態での半導体チップと実装基板を対向させた状態における斜視図である。

【図5】本発明の第1の実施形態での半導体チップと実装基板を対向させた状態における下方側からの斜視図である。

【図6】本発明の第2の実施形態を示す断面図である。

【図7】本発明の第2の実施形態に係る半導体チップの

断面図である。

【図8】本発明の第2の実施形態に係る実装基板の断面図である。

【図9】本発明の第1の実施形態での半導体チップと実装基板を対向させた状態における下方側からの斜視図である。

【図10】従来技術を示す断面図である。

【符号の説明】

12, 32…半導体チップ

13, 33…実装基板

14…実電極パッド

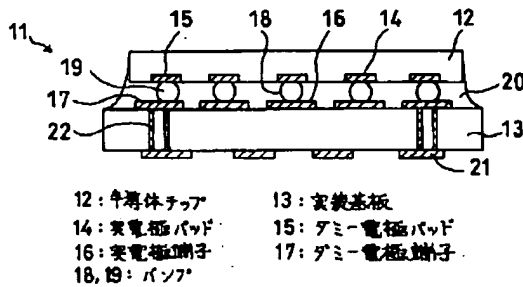
15…ダミー電極パッド

16…実電極端子

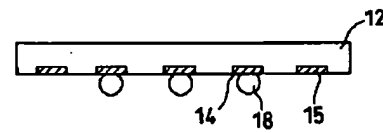
17…ダミー電極端子

18, 19…バンプ…

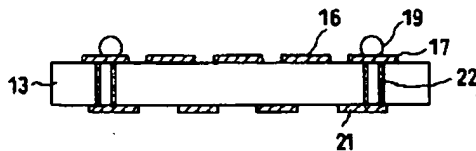
【図1】



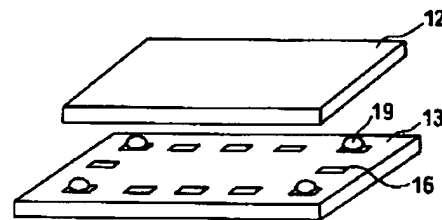
【図2】



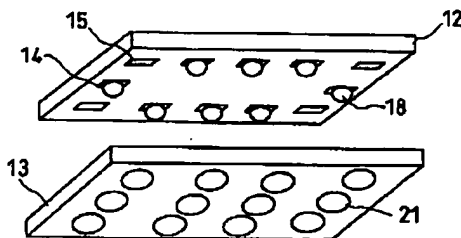
【図3】



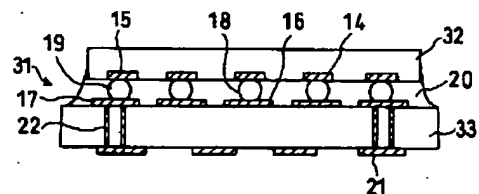
【図4】



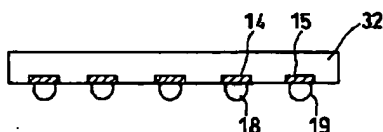
【図5】



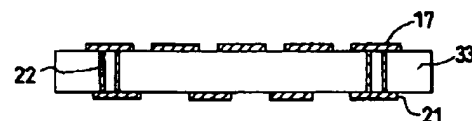
【図6】



【図7】



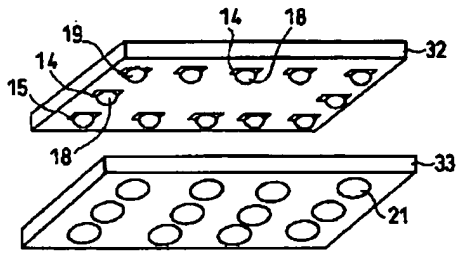
【図8】



(7)

特開平10-154726

【図9】



【図10】

